

**SIMULASI ADDER DAN SUBTRACTOR
UNTUK PRAKTIKUM DIGITAL DI LABOR TELKOM**

TUGAS AKHIR

**Diajukan sebagai salah satu syarat
untuk memperoleh gelar Ahli Madya**

Oleh:

**FEBRIYADI SAPUTRA
BP. 06 075 022**

**Program Studi Teknik Telekomunikasi Multimedia
Jurusan Teknik Elektro**



**POLITEKNIK UNIVERSITAS ANDALAS PADANG
2009**

ABSTRAK

SIMULASI ADDER DAN SUBTRACTOR UNTUK PRAKTIKUM DIGITAL DI LABOR TELKOM

Oleh

Febriyadi Saputra

06 075 022

Penerapan dari sebuah gerbang logika di zaman ini terus berkembang karena gerbang logika menjadi basis sistem yang dapat dikembangkan lagi menjadi teknologi yang lebih baru. Rangkaian aritmatika pada dasarnya merupakan rangkaian kombinasional yang outputnya tidak tergantung pada kondisi *output* sebelumnya, hanya tergantung pada *present state* dari *input*. Dalam Tugas Akhir ini membahas Rangkaian penjumlah dan pengurang (*Adder* dan *Subtractor*) yang termasuk kedalam rangkaian aritmatika.

Adder merupakan rangkaian penjumlah yang terbagi atas *Half Adder* dan *Full Adder*, yakni Sebuah rangkaian kombinasional yang melaksanakan penjumlahan 2 bit biner disebut dengan *half adder*, sedangkan rangkaian yang melaksanakan penjumlahan 3 bit disebut *full adder*. Sedangkan *Subtractor* merupakan rangkaian pengurang yang terbagi atas *Half Subtractor* dan *Full Subtractor*. Rangkaian ini melakukan operasi pengurangan biner. *Half subtractor* untuk pengurangan satu *bit* biner, sedangkan *full subtractor* untuk pengurangan lebih dari satu *bit* biner.

Pada pembuatan Tugas Akhir ini Rangkaian *Adder* dan *Subtractor* dibuat berupa simulasi-simulasi untuk dapat dipahami dan membandingkan hasil praktek yang didapat dengan komputerisasi, serta dapat menjelaskan prinsip kerja gerbang-gerbang logika yang membangun rangkaian *Adder* dan *Subtractor*.

Kata kunci: *Adder*
Subtractor
Gerbang Logika
Rangkaian Kombinasional

BAB I

PENDAHULUAN

1.1 Latar Belakang

Sistem digital merupakan sistem elektronika yang setiap rangkaian penyusunnya melakukan pengolahan sinyal diskrit. Pada sistem digital terdiri atas beberapa rangkaian digital atau logika. Dalam rangkaian atau sistem digital ini, data-data yang diproses berbentuk diskrit artinya data itu hanya memiliki dua keadaan saja yaitu logika 0 dan logika 1. Sistem digital merupakan gabungan dari beberapa komponen digital untuk membuat sebuah fungsi yang besar. Untuk membangun sebuah rangkaian dibutuhkan sebuah alat/komponen yang berupa IC untuk membuat suatu rangkaian logika itu sendiri. Permasalahan yang timbul pada akhir-akhir ini yakni dalam ketersediaan alat/komponen pada labor digital itu sendiri sehingga membuat rekan-rekan mahasiswa kurang optimal memahami rangkaian yang mereka buat pada prakteknya. Mengingat keterbatasan alat yang tersedia pada labor digital inilah penulis mencoba membuat rangkaian yang dibuat oleh rekan-rekan mahasiswa pada praktek labor digital ini secara *Simulasi*. Pada Tugas Akhir ini Saya mencoba untuk membuat atau merangkai Rangkaian *Adder* dan *Subtractor* secara simulasi, dimana penulis akan mencoba membandingkan hasil praktek yang selama ini dilakukan oleh rekan-rekan mahasiswa dalam mata kuliah labor teknik digital dengan menggunakan komputerisasi. Penulis akan membuat Simulasi *Adder* dan *Subtractor* pada rangkaian sebagai berikut :

1. Rangkaian *Adder* (*Half Adder* dan *Full Adder*).
2. Rangkaian *Subtractor* (*Half Subtractor* dan *Full Subtractor*)

Half adder merupakan Sebuah rangkaian kombinasional yang melaksanakan penjumlahan 2 bit biner, sedangkan rangkaian yang melaksanakan penjumlahan 3 bit disebut *full adder*. Rangkaian *full adder* dapat tersusun dari dua buah *half adder*. Sedangkan Rangkaian *half subtractor* hampir sama dengan rangkaian *half adder*. *Half subtractor* untuk pengurangan dua bit biner, sedangkan *full subtractor* untuk pengurangan lebih dari satu bit biner.

Nantinya pembuatan simulasi ini juga dapat dipergunakan atau memudahkan dalam penyampaian materi teknik digital dengan cara menampilkan simulasi dari setiap rangkaiannya, sehingga mahasiswa dapat membandingkan hasil praktek mereka dengan komputerisasi, dengan demikian kita akan dapat lebih mudah memahami teori yang diberikan oleh dosen dengan memahami simulasi rangkaian yang dibuat tersebut. Yang mana pada semester sebelumnya, setiap dosen harus menyampaikan materi secara manual didepan kelas. Atas dasar inilah penulis mencoba membuat simulasi *Adder* dan *Subtractor* sebagai alat bantu dalam penyampaian materi atau memudahkan proses pembelajaran dengan menggunakan komputerisasi.

1.2 Tujuan .

1. Menganalisa dan membandingkan rangkaian *Adder* dan *Subtractor* yang didapat pada praktek labor digital dengan menggunakan komputerisasi.
2. Memudahkan dalam proses penyampaian materi.
3. Memahami prinsip kerja Rangkaian *Adder* dan *Subtractor* dengan menggunakan Visual Basic 6.0 .

BAB V

PENUTUP

5.1 Kesimpulan

Setelah dilakukan pengujian dan analisa terhadap simulasi Adder dan Subtractor, dapat ditarik kesimpulan sebagai berikut:

1. *Adder* dan *Subtractor* termasuk rangkaian aritmatika dasar yaitu suatu rangkaian yang outputnya tidak tergantung pada kondisi *output* sebelumnya, hanya tergantung pada *present state* dari *input*.
2. *Half Adder* merupakan sebuah rangkaian kombinasional yang melaksanakan penjumlahan 2 digit biner sedangkan *Full Adder* rangkaian yang melaksanakan penjumlahan 3 digit *biner*.
3. Rangkaian *half subtractor* merupakan operasi pengurangan, dimana *half subtractor* hampir sama dengan rangkaian *half adder* dan *Full Subtractor* hampir sama dengan *Full Adder*. D (*Difference*) ekuivalen dengan S (*sum*), dan B (*borrow*) ekuivalen dengan C (*carry*).
4. Rangkaian *Half* dapat juga tersusun dari gabungan beberapa gerbang NAND atau NOR Sedangkan rangkaian *Full* tersusun atas dua rangkaian *Half*.

DAFTAR PUSTAKA

1. Amin Arifiyani, M3107006, Teknik Informatika, UNS
2. Brown, Stephen & Zvonko Vranesic. 2005. Fundamental of Digital Logic with VHDL Design, 4th McGraw-Hill.
3. Munir, Rinaldi. 2006. Diktat Kuliah IF2152 Matematika Diskrit, edisi keempat. Teknik Informatika ITB.
4. Partasubita, Santika. 2006. Slide Kuliah Organisasi dan Arsitektur Komputer 1. Teknik Informatika ITB.
5. Agustian I. Panduan Praktikum Elektronika. Lab TE. 2008.
6. TOKHEIM, R.L. Elektronika Digital. Mc Graw Hill. 1998.
7. http://id.wikipedia.org/wiki/Gerbang_logika
8. http://en.wikipedia.org/wiki/Logic_gate
9. [http://en.wikipedia.org/wiki/Inverter_\(logic_gate\)](http://en.wikipedia.org/wiki/Inverter_(logic_gate))
10. <http://hyperphysics.phy-astr.gsu.edu/hbase/electronic/nand.html>